

(11)特許出願公開番号

特開平11-328981

(43)公開日 平成11年(1999)11月30日

FI

601T

611A

634G

審査請求 未請求 請求項の数19 OL (全 25 頁)

(71)出題人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 發明者 片岡 知典

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)發明者 西田 要一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 木村 智生

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 早瀬 憲一

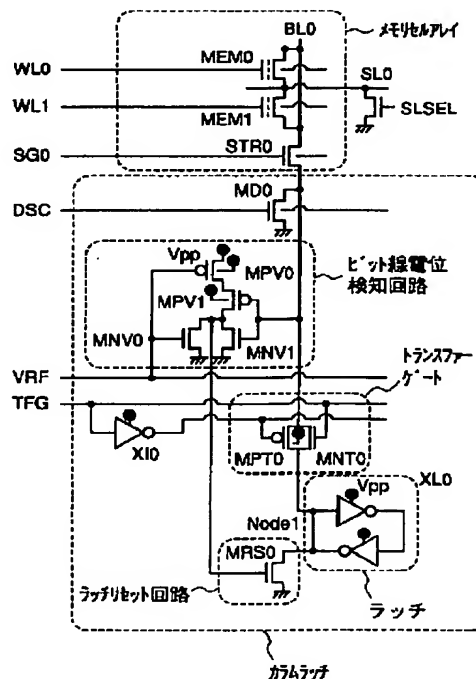
最終頁に続く

(54) 【発明の名称】 半導体記憶装置、およびレギュレータ

(57) 【要約】

【課題】 僅かなメモリセル電流でも容易にラッチのデータを書き換えることができ、安定したプログラムベリファイ動作を行うことができる不揮発性メモリ装置を実現する。

【解決手段】 メモリセルのプログラムとプログラムベリファイを行うカラムラッチにプログラムデータを格納するラッチと、ビット線の電位を検出する回路と、ラッチのデータをリセットする回路を設け、ビット線の電位低下を検知してラッチリセット回路をアクティブにすることによりラッチのデータを書き換える構成とすることにより、安定したプログラムベリファイ動作を実現した。



【特許請求の範囲】

【請求項1】 マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電氣的に分離するトランスファークロウと、上記ビット線の電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってラッチのデータを反転させるラッチリセット回路とを備えたことを特徴とする半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置において、メモリセルへのプログラムが適正に行われたか否かを判定するプログラムベリファイ時に、上記メモリセルのドレインに接続されたビット線のうち選択されたビット線だけをプリチャージする手段と、上記プログラムベリファイ時に、選択されたメモリセルのワード線にプログラムベリファイ電圧を印加する手段と、上記プログラムベリファイ時に、選択された上記メモリセルのセル電流によって決定されるビット線電位を検知するビット線電位検知手段とを備え、上記ラッチリセット回路は上記ビット線電位検知手段の出力によりラッチのデータを反転させることを特徴とする半導体記憶装置。

【請求項3】 マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電氣的に分離するトランスファークロウと、上記ラッチの出力レベルをプログラム電圧及びベリファイドレイン電圧に電圧変換するレベルシフト回路と、上記ビット線の電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってラッチのデータを反転させるラッチリセット回路とを備えたことを特徴とする半導体記憶装置。

【請求項4】 マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、メモリセルへのプログラムが適正に行われたか否かを判定するプログラムベリファイ時に、上記メモリセルのドレインに接続されたビット線のうち選択されたビット線だけをプリチャージする手段と、選択されたメモリセルのワード線にプログラムベリファイ電圧を印加する手段と、

非選択のメモリセルのワード線に負電圧を印加する手段とを備え、ビット線の電位に基づいてラッチのデータを反転させることを特徴とする半導体記憶装置。

【請求項5】 マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電氣的に分離するトランスファークロウと、上記ビット線の電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってラッチのデータを反転させるラッチリセット回路と、上記ビット線電位検知回路に接続され任意のパルス幅を発生することのできるベリファイパルス発生回路とを備えたことを特徴とする半導体記憶装置。

【請求項6】 請求項5記載の半導体記憶装置において、メモリセルへのプログラムが適正に行われたか否かを判定するプログラムベリファイ時に上記メモリセルのドレインに接続されたビット線のうち選択されたビット線だけをプリチャージする手段と、選択されたメモリセルのワード線にプログラムベリファイ電圧を印加する手段と、非選択のメモリセルのワード線を0Vあるいは負の電位に設定する手段と、パルス発生回路から発生したベリファイパルスの期間中プログラムベリファイを実施する手段と、上記プログラムパルスのパルス幅を短く設定してメモリセルのしきい値電圧を低く設定する手段と、上記プログラムパルスのパルス幅を長く設定してメモリセルのしきい値電圧を高く設定する手段とを備えたことを特徴とする半導体記憶装置。

【請求項7】 安定化電圧を出力するレギュレータにおいて、基準電圧を発生させる手段と、レギュレータの出力電圧ノードと所定電位ノードとの間に直列接続されたn個の抵抗として機能する素子からなる分圧手段と、直列に接続された上記n段の抵抗として機能する素子のm段目(mはn-2以下の整数)の素子の上記所定電位ノード側端と上記出力電圧ノードとの間を制御信号に応じて遮断するスイッチ手段と、上記n段の抵抗として機能する素子のn段目とn-1段目の接続点に現れる抵抗分圧された電圧と上記基準電圧とを比較する手段と、上記比較手段の出力に応じて上記出力電圧のノードへの電位の供給を制御する手段とを備え、上記制御信号を切

り換えることにより複数種類の安定化電圧を出力可能であることを特徴とするレギュレータ。

【請求項8】マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電気的に分離するトランスファークロウと、上記ビット線の電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってラッチのデータを反転させるラッチリセット回路と、上記メモリセルのプログラム電圧とベリファイドレイン電圧と消去電圧を発生する昇圧回路と、上記昇圧回路の出力電圧を入力とし、制御信号に応じて複数種類の安定化電圧を切り換えて出力するレギュレータと、上記レギュレータに対し上記制御信号を与える出力電圧コントロール手段とを備えたことを特徴とする半導体記憶装置。

【請求項9】請求項8記載の半導体記憶装置において、上記カラムラッチ中のラッチは、その電源として上記レギュレータの出力電圧が供給されるものであり、上記レギュレータの出力電圧を変えることにより上記ラッチからビット線に印加するプログラム電圧を変更できることを特徴とする半導体記憶装置。

【請求項10】マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電気的に分離するトランスファークロウと、上記ラッチの出力レベルをプログラム電圧及びベリファイドレイン電圧に電圧変換するレベルシフト回路と、上記ビット線の電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってラッチのデータを反転させるラッチリセット回路と、上記メモリセルのプログラム電圧とベリファイドレイン電圧と消去電圧を発生する昇圧回路と、上記昇圧回路の出力電圧を入力とし、制御信号に応じて複数種類の安定化電圧を切り換えて出力するレギュレータと、上記レギュレータに対し上記制御信号を与える出力電圧コントロール手段とを備えたことを特徴とする半導体記憶装置。

【請求項11】請求項10記載の半導体記憶装置にお

いて、

上記カラムラッチ中のレベルシフト回路は、その電源として上記レギュレータの出力電圧が供給されるものであり、

上記レギュレータの出力電圧を変えることにより上記レベルシフト回路からビット線に印加するプログラム電圧を変更できることを特徴とする半導体記憶装置。

【請求項12】マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたフリップフロップと、隣接する上記フリップフロップのデータ入力端子とデータ出力端子を接続することによって構成されたシフトレジスタと、上記フリップフロップとビット線を電気的に分離するトランスファークロウと、上記ビット線の電圧を検知するビット線電位検知回路と、

上記ビット線電位検知回路の出力によってフリップフロップのデータを反転させるフリップフロップリセット回路と、上記シフトレジスタにシリアルにデータを入力することによりプログラムデータをセットする手段とを備えたことを特徴とする半導体記憶装置。

【請求項13】マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたフリップフロップと、上記フリップフロップ群のデータ入力端子とデータ出力端子を接続することによって構成されたシフトレジスタと、上記フリップフロップとビット線を電気的に分離するトランスファークロウと、上記フリップフロップの出力レベルをプログラム電圧及びベリファイドレイン電圧に電圧変換するレベルシフト回路と、上記ビット線の電圧を検知するビット線電位検知回路と、

上記ビット線電位検知回路の出力によってフリップフロップのデータを反転させるフリップフロップリセット回路と、上記シフトレジスタにシリアルにデータを入力することによりプログラムデータをセットする手段とを備えたことを特徴とする半導体記憶装置。

【請求項14】マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で

設けられたラッチと、

上記ラッチとビット線を電氣的に分離するトランスファークゲートと、

上記ラッチ出力の論理和あるいは論理積を求める回路と、

プログラムベリファイ動作が完了したことを出力するベリファイバス出力回路と、

ラッチの出力が全て同一データに設定された時にベリファイバス出力回路にベリファイが完了したフラグを立てる手段とを備えたことを特徴とする半導体記憶装置。

【請求項15】 マトリックス状に配置された不揮発性のメモリセルと、メモリセルのコントロールゲートに接続されたワード線と、上記メモリセルのドレインに接続されたビット線と、上記メモリセルのソースに接続された複数のソース線と、上記メモリセルをプログラムするために上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチとを有し、上記メモリセルに対するプログラムを行なうに際し、プログラムに先立ってメモリセルの消去動作を行なう半導体記憶装置において、

上記プログラム動作に先立って行なわれる消去動作の前に消去状態にあるメモリセルに対し当該メモリセルをプログラム状態とするアプログラムを行なうことを特徴とする半導体記憶装置。

【請求項16】 マトリックス状に配置された不揮発性のメモリセルを有し、該メモリセルのプログラムとプログラムが適正に行われたか否かを判断するプログラムベリファイとを行なう半導体記憶装置において、上記プログラムが行われた後に上記プログラムベリファイを実行する手段と、

上記プログラムベリファイの判定結果がフェイルした場合に再度メモリセルにプログラムを行う手段と、

プログラム回数が増えるに従ってプログラムベリファイ動作を任意に間引く手段と、

プログラムベリファイが間引かれた時に連続してプログラムを行う手段とを備えたことを特徴とする半導体記憶装置。

【請求項17】 請求項16記載の半導体記憶装置において、

メモリセルのプログラムとプログラムが適正に行われたか否かを判断するプログラムベリファイとを行なうに際し、

上記プログラムが行われた後に上記プログラムベリファイを実行するシーケンス中で、一定のプログラムパルス幅を T_{prg} 、プログラムベリファイ回数を n とした時に、プログラムベリファイを挿入するタイミングであるプログラム開始からの経過時間 T_{pv} が、

$$T_{pv} = T_{prg} \times 2^{(n-1)} \quad (n = 1, 2, \dots)$$

を満たしていることを特徴とする半導体記憶装置。

【請求項18】 請求項16記載の半導体記憶装置において、メモリセルのプログラムとプログラムが適正に行われたか否かを判断するプログラムベリファイとを行なうに際し、上記プログラムが行われた後に上記プログラムベリファイを実行するシーケンス中で、プログラムベリファイ回数を n とした時に、何回目のプログラム後にプログラムベリファイを挿入するかを示すベリファイポイント P_{pv} が、

$$P_{pv} = 2^{(n-1)} \quad (n = 1, 2, \dots)$$

を満たしていることを特徴とする半導体記憶装置。

【請求項19】 マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのビット線に接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電氣的に分離するトランスファークゲートと、上記ビット線に接続されたラッチのデータによりビット線を選択してプログラムする手段と、上記プログラムが適正に行われたか否かを判断するプログラムベリファイ手段と、上記プログラムが行われた後に上記プログラムベリファイを実行する手段と、上記プログラムベリファイの結果が適正にプログラムされたことを示すものであった後にさらにプログラムパルスを追加して追加プログラムを行なう追加プログラム手段とを備えたことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はフラッシュEEPROMを用いた不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】近年、フラッシュEEPROMは、電氣的に書込／消去ができるという特性やハードディスクなどに比べ耐衝撃性に優れるなどの利点からその利用価値があがり産業分野や民生分野のシステムで多く利用されている。これまで、CHE（チャンネルホットエレクトロン）によるプログラムを用いたメモリセルが主流であったが、フラッシュEEPROMに対する低電圧化及び単一電源化の要望により、FN（Fowler-Nordheim）トンネリングによるプログラム／消去を行うメモリセルデバイスが開発されるようになった。

【0003】FNトンネリングは、CHEに比べプログラム電流が十分に小さく昇圧電源からのプログラムにより単一電源化が可能となるというメリットを持つが、逆に1セル当たりのプログラム時間は数msecを必要とし、CHEの数10倍から数100倍の所要時間が必要である。そこでこの問題を解決するために、ビット線毎にデータラッチを備えワード線1本分のデータをラッチして同時にプログラム及びプログラムベリファイを行うページプログラム手法が用いられている。

【0004】プログラムベリファイでは、メモリセルへ

のプログラムが十分できたか否かを検証するが、1ワード単位でベリファイを行うとプログラムが不十分なメモリセルがプログラム完了するまでプログラムを繰り返すため、ドレインディスタブ等の信頼性の問題を引き起こす。そこで、プログラムが完了したメモリセルのデータラッチのデータを書き換えてそれ以降のプログラムを行わない手法が取られる。以下図面を参照しながら、上記した従来のフラッシュEEPROMのプログラムベリファイの一例について説明する。

【0005】従来のフラッシュEEPROMのプログラムベリファイの回路としては、"A 3.3V-only 16Mb DINO R Flash Memory, 1995 IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp.122-123"に記載されている回路がある。

【0006】図23は上記DINOR型フラッシュEEPROMのカラムラッチを示すものである。図23において、L1はプログラムのデータを格納するラッチである。TGはトランスファークゲートであり、主ビット線MBLとラッチL1を電気的に分離する。P1及びP2はビット線プリチャージ用のトランジスタであり、ラッチL1の保持データと/PCO信号によってビット線をプリチャージする。SG0はセレクトトランジスタであり、主ビット線MBL0と副ビット線SBL0を電気的に分離する。SG1も同様に主ビット線MBL1と副ビット線SBL1を電気的に分離する。MEM0及びMEM1はメモリセルであり、そのコントロールゲートはワード線WLに、ソースはソース線SLに、ドレインは副ビット線SBL0、SBL1にそれぞれ接続される。ソース線SLはASL信号がアクティブになったときにグラウンドに接地される。RS1及びRS2は主ビット線をリセットするためのトランジスタでありRS0及びRSEによって主ビット線がグラウンドに接地される。

【0007】以上のように構成されたカラムラッチについて、以下その動作について説明する。図23には主ビット線2本分の回路を記述しているが、ここでは主ビット線MBL0側のプログラム及びプログラムベリファイについて説明する。まず、入力データがラッチL1にラッチされる時、ラッチの電源VppはVccレベルに保持される。全てのデータがラッチされるとVppはメモリセルのプログラム電圧である6Vまで昇圧される。この時選択されたワード線WLは-8V、セレクトゲートSG0の制御信号SGLは10Vに保持される。次にトランスファークゲートTGがアクティブになりラッチL1と主ビット線MBL0が電気的に接続され、ラッチが保持しているデータが"1"であれば主ビット線MBL0には6Vが、"0"を保持していれば0Vが主ビット線MBL0に印加される。メモリセルMEM0のコントロールゲートには-8Vが印加されているので、ドレインに6Vが印加された時にはトンネル酸化膜に電界が生じFN電流によってフローティングゲートに蓄積されてい

る電子がドレイン側に引き抜かれる。一方ドレインが0Vの時は、トンネル電流を発生させる電界に達しないためにメモリセルのプログラムは行われない。

【0008】プログラムベリファイにおいては、VppはVccレベルであり主ビット線MBL0には、ラッチL1のデータによってプリチャージトランジスタP1、P2からVccレベルの電位が供給される。

【0009】次に、メモリセルのワード線WLはベリファイ電圧1.5Vが供給され、ソース線SLはイネープル信号ASLによってグラウンドに接地される。メモリセルのしきい値電圧が1.5V以下であればメモリセルを通じて主ビット線MBL0のディスチャージが行われラッチL1がそれを検出する。この時ラッチのデータは書き換えられそれ以降のプログラムは行われない。仮に、しきい値電圧が1.5V以上であればラッチのデータは、最初にセットされたデータがそのまま保持されラッチL1のデータが書き換えられるまでプログラムが実行される。

【0010】

【発明が解決しようとする課題】しかしながら上記のような構成では、メモリセルの電流によって主ビット線の電位を下げラッチのデータを書き換えなければならないので、安定したベリファイ動作が得られないという問題点を有していた。すなわち、ラッチL1のトランジスタはプログラム時にドレインと基板間で発生するバンド間トンネル電流と、FNトンネル電流と、非選択メモリセルからのリーク電流の合計値以上の電流を供給できる能力をもっている。しかし、プログラムベリファイ時には、メモリセルのコントロールゲートの電圧がプログラムされたメモリセルのしきい値電圧近傍の低い電圧制御であるためセル電流が十分確保できず、ラッチのデータの書換ができなくなるという課題が発生する。

【0011】本発明は上記問題点に鑑み、プログラムベリファイ時のラッチのデータ書換を安定して行うことのできる不揮発性メモリ装置を提供することを目的とする。また、本発明は、プログラムベリファイにおいてメモリセルのしきい値電圧を任意に設定すると共にしきい値電圧分布を狭くし、非選択のメモリセルのリーク電流による誤判定を改善することのできる不揮発性メモリ装置を提供することを目的とする。さらに、本発明は、プログラム及びプログラムベリファイの時間を短縮できる不揮発性メモリ装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上記課題を解決するために、この発明（請求項1）は、マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電気的に分離するトランスファークゲートと、上記ビット線の

電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってラッチのデータを反転させるラッチリセット回路とを備えたものである。

【0013】また、この発明（請求項2）は、請求項1記載の半導体記憶装置において、メモリセルへのプログラムが適正に行われたか否かを判定するプログラムベリファイ時に、上記メモリセルのドレインに接続されたビット線のうち選択されたビット線だけをプリチャージする手段と、上記プログラムベリファイ時に、選択されたメモリセルのワード線にプログラムベリファイ電圧を印加する手段と、上記プログラムベリファイ時に、選択された上記メモリセルのセル電流によって決定されるビット線電位を検知するビット線電位検知手段とを備え、上記ラッチリセット回路は上記ビット線電位検知手段の出力によりラッチのデータを反転させるようにしたものである。

【0014】また、この発明（請求項3）は、マトリクス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電気的に分離するトランスファークロウと、上記ラッチの出力レベルをプログラム電圧及びベリファイドレイン電圧に電圧変換するレベルシフト回路と、上記ビット線の電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってラッチのデータを反転させるラッチリセット回路とを備えたものである。

【0015】また、この発明（請求項4）は、マトリクス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、メモリセルへのプログラムが適正に行われたか否かを判定するプログラムベリファイ時に、上記メモリセルのドレインに接続されたビット線のうち選択されたビット線だけをプリチャージする手段と、選択されたメモリセルのワード線にプログラムベリファイ電圧を印加する手段と、非選択のメモリセルのワード線に負電圧を印加する手段とを備え、ビット線の電位に基づいてラッチのデータを反転させるものである。

【0016】また、この発明（請求項5）は、マトリクス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電気的に分離するトランスファークロウと、上記ビット線の電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってラッチのデータを反転させるラッチリセット回路と、上記ビット線電位検知回路に接続され任意のパルス幅を発生することのできるベリファイパルス発生回路とを備えたものである。

【0017】また、この発明（請求項6）は、請求項5記載の半導体記憶装置において、メモリセルへのプログラムが適正に行われたか否かを判定するプログラムベリファイ時に上記メモリセルのドレインに接続されたビット線のうち選択されたビット線だけをプリチャージする手段と、選択されたメモリセルのワード線にプログラムベリファイ電圧を印加する手段と、非選択のメモリセルのワード線を0Vあるいは負の電位に設定する手段と、パルス発生回路から発生したベリファイパルスの期間中プログラムベリファイを実施する手段と、上記プログラムパルスのパルス幅を短く設定してメモリセルのしきい値電圧を低く設定する手段と、上記プログラムパルスのパルス幅を長く設定してメモリセルのしきい値電圧を高く設定する手段とを備えたものである。

【0018】また、この発明（請求項7）は、安定化電圧を出力するレギュレータにおいて、基準電圧を発生させる手段と、レギュレータの出力電圧ノードと所定電位ノードとの間に直列接続された n 個の抵抗として機能する素子からなる分圧手段と、直列に接続された上記 n 段の抵抗として機能する素子の m 段目（ m は $n-2$ 以下の整数）の素子の上記所定電位ノード側端と上記出力電圧ノードとの間を制御信号に応じて接断するスイッチ手段と、上記 n 段の抵抗として機能する素子の n 段目と $n-1$ 段目の接続点に現れる抵抗分圧された電圧と上記基準電圧とを比較する手段と、上記比較手段の出力に応じて上記出力電圧のノードへの電位の供給を制御する手段とを備え、上記制御信号を切り換えることにより複数種類の安定化電圧を出力可能としたものである。

【0019】また、この発明（請求項8）は、マトリクス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電気的に分離するトランスファークロウと、上記ビット線の電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってラッチのデータを反転させるラッチリセット回路と、上記メモリセルのプログラム電圧とベリファイドレイン電圧と消去電圧を発生する昇圧回路と、上記昇圧回路の出力電圧を入力とし、制御信号に応じて複数種類の安定化電圧を切り換えて出力するレギュレータと、上記レギュレータに対し上記制御信号を与える出力電圧コントロール手段とを備えたものである。

【0020】また、この発明（請求項9）は、請求項8記載の半導体記憶装置において、上記カラムラッチ中のラッチが、その電源として上記レギュレータの出力電圧が供給されるものであり、上記レギュレータの出力電圧を変えることにより上記ラッチからビット線に印加するプログラム電圧を変更できるものである。

【0021】また、この発明（請求項10）は、マトリ

ックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電気的に分離するトランスファークロウと、上記ラッチの出力レベルをプログラム電圧及びベリファイドレイン電圧に電圧変換するレベルシフト回路と、上記ビット線の電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってラッチのデータを反転させるラッチリセット回路と、上記メモリセルのプログラム電圧とベリファイドレイン電圧と消去電圧を発生する昇圧回路と、上記昇圧回路の出力電圧を入力とし、制御信号に応じて複数種類の安定化電圧を切り換えて出力するレギュレータと、上記レギュレータに対し上記制御信号を与える出力電圧コントロール手段とを備えたものである。

【0022】また、この発明（請求項11）は、請求項10記載の半導体記憶装置において、上記カラムラッチ中のレベルシフト回路が、その電源として上記レギュレータの出力電圧が供給されるものであり、上記レギュレータの出力電圧を変えることにより上記レベルシフト回路からビット線に印加するプログラム電圧を変更できるものである。

【0023】また、この発明（請求項12）は、マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたフリップフロップと、隣接する上記フリップフロップのデータ入力端子とデータ出力端子を接続することによって構成されたシフトレジスタと、上記フリップフロップとビット線を電気的に分離するトランスファークロウと、上記ビット線の電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってフリップフロップのデータを反転させるフリップフロップリセット回路と、上記シフトレジスタにシリアルにデータを入力することによりプログラムデータをセットする手段とを備えたものである。

【0024】また、この発明（請求項13）は、マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたフリップフロップと、上記フリップフロップ群のデータ入力端子とデータ出力端子を接続することによって構成されたシフトレジスタと、上記フリップフロップとビット線を電気的に分離するトランスファークロウと、上記フリップフロップの出力レベルをプログラム電圧及びベリファイドレイン電圧に電圧変換するレベルシフト回路と、上記ビット線の電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってフリップフロップのデータを

反転させるフリップフロップリセット回路と、上記シフトレジスタにシリアルにデータを入力することによりプログラムデータをセットする手段とを備えたものである。

【0025】また、この発明（請求項14）は、マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電気的に分離するトランスファークロウと、上記ラッチ出力の論理和あるいは論理積を求める回路と、プログラムベリファイ動作が完了したことを出力するベリファイパス出力回路と、ラッチの出力が全て同一データに設定された時にベリファイパス出力回路にベリファイが完了したフラグを立てる手段とを備えたものである。

【0026】また、この発明（請求項15）は、マトリックス状に配置された不揮発性のメモリセルと、メモリセルのコントロールゲートに接続されたワード線と、上記メモリセルのドレインに接続されたビット線と、上記メモリセルのソースに接続された複数のソース線と、上記メモリセルをプログラムするために上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチとを有し、上記メモリセルに対するプログラムを行なうに際し、プログラムに先立ってメモリセルの消去動作を行なう半導体記憶装置において、上記プログラム動作に先立って行なわれる消去動作の前に消去状態にあるメモリセルに対し当該メモリセルをプログラム状態とするプリプログラムを行なうものである。

【0027】また、この発明（請求項16）は、マトリックス状に配置された不揮発性のメモリセルを有し、該メモリセルのプログラムとプログラムが適正に行われたか否かを判断するプログラムベリファイとを行なう半導体記憶装置において、上記プログラムが行われた後に上記プログラムベリファイを実行する手段と、上記プログラムベリファイの判定結果がフェイルした場合に再度メモリセルにプログラムを行う手段と、プログラム回数が増えるに従ってプログラムベリファイ動作を任意に間引く手段と、プログラムベリファイが間引かれた時に連続してプログラムを行う手段とを備えたものである。

【0028】また、この発明（請求項17）は、請求項16記載の半導体記憶装置において、メモリセルのプログラムとプログラムが適正に行われたか否かを判断するプログラムベリファイとを行なうに際し、上記プログラムが行われた後に上記プログラムベリファイを実行するシーケンス中で、一定のプログラムパルス幅を T_{prg} 、プログラムベリファイ回数を n とした時に、プログラムベリファイを挿入するタイミングであるプログラム開始からの経過時間 T_{pv} が、

$$T_{pv} = T_{prg} \times 2^{(n-1)} \quad (n =$$

1、2、・・・)

を満たすものとしたものである。

【0029】また、この発明(請求項18)は、請求項16記載の半導体記憶装置において、メモリセルのプログラムとプログラムが適正に行われたか否かを判断するプログラムベリファイとを行なうに際し、上記プログラムが行われた後に上記プログラムベリファイを実行するシーケンス中で、プログラムベリファイ回数を n とした時に、何回目のプログラム後にプログラムベリファイを挿入するかを示すベリファイポイント Ppv が、 $Ppv = 2^{n-1}$ ($n=1、2、・・・$)を満たすものとしたものである。

【0030】また、この発明(請求項19)は、マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのビット線に接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電気的に分離するトランスファークと、上記ビット線に接続されたラッチのデータによりビット線を選択してプログラムする手段と、上記プログラムが適正に行われたか否かを判断するプログラムベリファイ手段と、上記プログラムが行われた後に上記プログラムベリファイを実行する手段と、上記プログラムベリファイの結果が適正にプログラムされたことを示すものであった後にさらにプログラムパルスを追加して追加プログラムを行なう追加プログラム手段とを備えたものである。

【0031】

【発明の実施の形態】実施の形態1. 以下本発明の実施の形態1による半導体記憶装置について図面を参照しながら説明する。図1は、本実施の形態1による半導体記憶装置(不揮発性メモリ装置)であるフラッシュEEPROMの構成を示すブロック図である。

【0032】図1において、101はメモリセルアレイ、102はアドレスバッファ、103はXデコーダ、104はYデコーダ、105はカラムラッチ、106はセンスアンプ、107は制御回路、108は昇圧回路、109はレギュレータ、110はデータ入出力バッファである。

【0033】メモリセルアレイ101には、電気的に書込/消去可能なメモリセルがマトリックス状に配置されている。不揮発性メモリ装置の外部から入力されたアドレス信号は、アドレスバッファ102でラッチされ、ロウアドレスはXデコーダ103に出力されてワード線とソース線が、カラムアドレスはYデコーダ104に出力されビット線がそれぞれ選択される。

【0034】また、Xデコーダ103ではアドレスの選択以外にレギュレータ109から出力された高電圧のスイッチングも行い、消去時には正の高電圧が、プログラム時には負の高電圧がスイッチングされる。

【0035】Yデコーダ104によって選択されたビット線には、カラムラッチ105とセンスアンプ106が接続されている。プログラム時にはカラムラッチ105からビット線に5V程度のプログラム電圧が印加され、読み出し時にはセンスアンプ106によってビット線が選択されるとともに選択されたビット線のデータが増幅される。データの入出力はデータ入出力バッファ110を介して行われる。プログラム時にはデータ入出力バッファ110からカラムラッチ105にデータが入力され、読み出し時にはセンスアンプ106で増幅されたデータはデータ入出力バッファ110を経由して不揮発性メモリ装置の外部に出力される。制御回路107は不揮発性メモリ装置のモード制御やタイミング生成以外に昇圧回路108とレギュレータ109の制御も行なう。

【0036】外部から入力された電源は昇圧回路108に入力され高電圧を発生させる。昇圧回路108で発生された電圧はレギュレータ109に入力され電源電圧変動や温度変動などに影響されない一定電圧に保持される。昇圧回路108とレギュレータ109では不揮発性メモリ装置の読み出し/書込/消去に必要な様々な電圧が発生され、Xデコーダ103とYデコーダ105とカラムラッチ105に安定化された電源が供給される。

【0037】図2は図1に示す本実施の形態1による半導体記憶装置(不揮発性メモリ装置)に使用されるNO R型メモリセルの断面構造を示す模式図である。図2において、201はコントロールゲート、202はフローティングゲート、203はトンネル酸化膜、204はソース、205はドレイン、206は基板を示し、トンネル酸化膜203に12MV/cmから15MV/cmの高電界を加えてトンネル電流を発生させメモリセルのしきい値電圧を制御する。

【0038】図3は本実施の形態1による半導体記憶装置(不揮発性メモリ装置)に使用されるメモリセルのしきい値電圧分布を示す図である。読み出し電圧よりもしきい値電圧が高い状態を消去状態とし、低い状態をプログラム状態とする。

【0039】メモリセルの消去は、ドレインをオープン状態にし、コントロールゲート201に5V、ソース204と基板206に-8Vを印加してソース204と基板206からフローティングゲート202に電子を注入する。フローティングゲート202に電子が注入されるとメモリセルのしきい値電圧は上昇する。消去後のしきい値電圧を読み出し電圧よりも高く設定することによって読み出し時にセル電流が流れないようにする。

【0040】一方プログラムは、ソース204をオープン状態にし、コントロールゲート201に-8V、ドレイン205に5V、基板206に0Vを印加することによって、フローティングゲート202に蓄積されている電子をドレイン205に引き抜くことにより行なう。プ

プログラム後のしきい値電圧は、図3に示すように読み出し電圧よりも低くなるため、プログラムされたセルを読み出せばビット線にセル電流が流れる。

【0041】読み出し動作では、選択されたワード線に読み出し電圧を印加し、ソースをグラウンドに接地し、ドレインに1Vを印加した状態でビット線に電流が流れるか否かをセンスアンプを使って増幅する。ビット線に電流が流れればプログラム状態“1”として、電流が流れなければ消去状態“0”として不揮発性メモリ装置の外部にデータを出力する。

【0042】図4は本実施の形態1による半導体記憶装置（不揮発性メモリ装置）において用いられるビット線電位検知回路を持つカラムラッチの構成を示す回路図、図5はカラムラッチの動作を説明するためのタイミングチャート図である。

【0043】図4に示すように、本実施の形態1による半導体記憶装置（不揮発性メモリ装置）のカラムラッチは、ビット線を接地するためのトランジスタMD0、ビット線電位検知回路、ビット線BL0とラッチXL0を電気的に分離するトランスファークロウ、トランスファークロウの制御信号がアクティブになった時にPchのトランスファークロウMPT0をアクティブにするドレインインバータXIO、ビット線電位検知回路の出力を受けてラッチのデータをリセットするラッチリセット回路MRS0、プログラムデータを保持するラッチXL0で構成される。

【0044】プログラムのデータを格納するラッチXL0、ビット線とラッチを電気的に分離するPchトランスファークロウMPT0、Pchトランスファークロウの制御を行うインバータXIO、及びビット線電位検知回路のPchトランジスタMPV0とMPV1にはVpp電源が接続されている。

【0045】ビット線電位検知回路は、NORの論理を持ち、一方の入力はビット線BL0に、もう一方の入力は制御信号VRFに接続され、制御信号VRFが“L”かつビット線の電位がビット線電位検知回路の反転点よりも下がった時に“H”を出力しラッチリセット回路をアクティブにする。ビット線電位検知回路の出力にはラッチリセット回路が接続され、上記ビット線電位検知回路の出力が“H”を出力した時にラッチXL0のNode1をグラウンドに接地する。

【0046】次に、以上のように構成された半導体記憶装置（不揮発性メモリ装置）のプログラム動作及びプログラムベリファイ動作を図4と図5を用いて説明する。プログラム動作では、まずプログラムデータは、ラッチXL0にロードされる。プログラムを行うメモリセルに接続されたラッチ（Node1）は“H”の状態を、プログラムされないメモリセルに接続されたラッチ（Node1）は“L”を保持している。メモリセルへのプログラムを行うために、まず、Vppの電圧をプロ

グラム電圧（5V）に設定する。次に、トランスファークロウの制御信号TFGを活性化しビット線BL0とラッチXL0を電気的に接続する。この動作と同じタイミングで選択されたメモリセルのワード線WL0を-8Vに、ソース線の制御信号SLSLを非アクティブにしてソース線を開放状態とする。また、メモリセルのドレインにプログラム電圧を印加するためにセレクトゲートSTR0のゲートに8Vを印加する。この時、STR0のドレインにはVpp（5V）が印加されているので基板バイアス効果による電圧ドロップが発生しないようにセレクトゲート制御信号SG0にはVpp+Vtn以上の電圧を印加する（本実施の形態1では図5に示すように8Vの電圧を印加している。）。

【0047】ここで、ラッチのデータが“H”であればメモリセルのドレインには5Vが供給され、トンネル酸化膜には13Vが加わりFNTトンネリング電流が流れる。一方、ラッチのデータが“L”であればメモリセルのドレインは0Vとなるためトンネル酸化膜の電圧は8VとなりFNTトンネリング電流は流れない。

【0048】一定期間プログラムパルスが印加されたならば、トランスファークロウとセレクトゲートSTR0を非アクティブにしてビット線とラッチを分離すると同時に、ワード線とソース線を接地する。最後に、DSC信号とセレクトゲートSTR0をアクティブにしてビット線BL0にチャージされた電荷をディスチャージする。以上の操作でプログラム動作が完了する。

【0049】プログラムベリファイ動作では、まずVppの電圧レベルをベリファイドレイン電圧であるVDDに設定する。次に、トランスファークロウとセレクトゲートSTR0をアクティブにして“H”を保持しているビットのみビット線をベリファイドレイン電圧にプリチャージする。プリチャージが完了した時点で、トランスファークロウを非アクティブにするとともに、選択メモリセルのワード線にプログラムベリファイ電圧（1V）を印加し、メモリセルをベリファイモードに設定する。この時、メモリセルのプログラムが適正に行われていれば僅かにメモリセル電流が流れ、ベリファイドレイン電圧にプリチャージされたビット線の電荷をディスチャージする。

【0050】ここで非選択のメモリセルからのリーク電流があるとビット線の電位が低下し誤判定の原因になるため、非選択のワード線WL1はグラウンドに接地しておく。非選択のワード線WL1を負の電圧に設定すれば、更にリーク電流を少なくすることができる。

【0051】一定期間メモリセル電流を流した後、ビット線電位検知回路の制御信号VRFを“L”とすると、ビット線BL0の電位はビット線電位検知回路の反転点を越え、ラッチリセット回路をアクティブにする。

【0052】ラッチリセット回路は、ラッチXL0よりも大きなドライブ能力を有するように設計されているた

め“H”に保持されていたラッチは“L”に書き換えられる。適正にプログラムが行われていなければビット線に電流は流れず、ラッチのデータは書き換えられない。ラッチのデータが書き換えられれば“L”を保持し、それ以降ビット線にプログラム電圧及びベリファイドレイン電圧は印加されない。

【0053】以上のように本実施の形態1による半導体記憶装置では、プログラムデータを保持するラッチと、ラッチとビット線を電気的に分離するトランスファークラークと、ビット線の電圧を検知するビット線電位検知回路と、ビット線電位検知回路の出力によってラッチのデータを反転させるラッチリセット回路とを備えた構成としたから、僅かなメモリセル電流でも容易にラッチのデータを書き換えられるため安定したプログラムベリファイ動作を行うことができる不揮発性メモリ装置を実現できる。

【0054】なお、上記実施の形態1では、ビット線電位検知回路におけるPchトランジスタMPV0のソースと基板及びMPV1の基板はVpp接続としたが、外部から直接入力される電源(VDD)に接続しても良い。

【0055】また、ビット線電位検知回路は、NORの論理としたがビット線の電位を検知リセット回路をアクティブにできる回路構成であれば良い。また、ラッチリセット回路はNchトランジスタとしたが、ビット線電位検知回路の出力を受けてラッチのデータを書き換えられればどのような構成でも良い。

【0056】また、ベリファイドレイン電圧は、VDDとしたがその電圧の範囲はドレインディスタバが発生しない電圧以下でかつビット線電位検知回路が動作する電圧以上であれば良い。

【0057】次に、本実施の形態1による半導体記憶装置(不揮発性メモリ装置)の変形例について説明する。本変形例による不揮発性メモリ装置の全体の構成は図1に示す実施の形態1による不揮発性メモリ装置と同様であるが、カラムラッチの構成が異なるものである。

【0058】図6は本変形例による不揮発性メモリ装置のカラムラッチの構成を示す図であり、図4と同一符号は同一又は相当部分である。図4に示すカラムラッチとの相違点はラッチXL0の電源が外部から供給されるVDD電源で構成されている点(図示省略)と、ラッチXL0の出力をVppを電源とするレベルシフト回路に接続している点である。

【0059】ラッチのインバータXI1の出力はレベルシフト回路のNchトランジスタMNLS0のゲートに、インバータXI0の出力はNchトランジスタMNLS1のゲートにそれぞれ接続されている。レベルシフト回路のPchトランジスタMPLS1のドレインとNchトランジスタMNLS1のドレインは共有化され、トランスファークラークに接続される。ラッチXL0は外

部より供給されるVDD電源により駆動されるが、レベルシフト回路XL0を経由することによって電圧変換され、プログラム時には5Vが、プログラムベリファイ時にはVDDが出力される。

【0060】以上のように本変形例では、ラッチXL0の出力にレベルシフト回路XL0を設け電圧変換を行うことによって、Vppの電位が2Vから7Vまでの範囲で変化してもリーク電流が発生しない。また、ラッチXL0は外部より供給されるVDD電源により駆動されるのでカラムラッチの動作モードが変化してVpp電位が変化しても安定してデータを保持することができる。さらには、プログラム時にビット線を駆動するドライバはPchトランジスタMPLS1が受け持つのでラッチの駆動能力を小さく設定することができプログラムベリファイ時のラッチのデータ反転が容易に行える。本変形例のカラムラッチのその他の構成と回路の動作は、図4に示すカラムラッチと同じであるため説明は省略する。

【0061】実施の形態2. 次に、本発明の実施の形態2による半導体記憶装置(不揮発性メモリ装置)について図面を参照しながら説明する。本実施の形態2による半導体記憶装置(不揮発性メモリ装置)の全体の構成は図1に示す実施の形態1による不揮発性メモリ装置と同様であるが、カラムラッチの構成が異なるものである。

【0062】図7は本実施の形態2による不揮発性メモリ装置のカラムラッチを示す図であり、図4と同一符号は同一又は相当部分である。本実施の形態2による不揮発性メモリ装置のカラムラッチを図4のカラムラッチと比較すると、ビット線電位検知回路の一方の入力端子であるVRFに与えるパルス幅を任意に設定することのできるベリファイパルス発生回路XPLSが付加されている点で異なる。

【0063】プログラムベリファイ動作では、メモリセルの微少電流によってディスチャージされたビット線の電位をビット線電位検知回路によってセンスしラッチリセット回路を起動させている。

【0064】ここで、ビット線電位検知回路によるセンス時間、すなわちプログラムベリファイのパルス(図5中のVRFのパルス)幅が短くなればビット線のディスチャージが十分行われなためリセット回路の起動がわからない。つまり、ラッチのデータが書き換えられないために再度プログラムが行われ、メモリセルのしきい値電圧は下がる。

【0065】一方、ビット線電位検知回路によるセンス時間(プログラムベリファイのパルス幅)を長く取ればビット線のディスチャージが十分行われリセット回路の起動し、ラッチのデータが書き換えられる。

【0066】図8はプログラムベリファイのパルス幅(Program Verify Time: μsec)とメモリセルのしきい値電圧(V_t)との関係を示す図である。図8からわかるように、プログラムベリファイのパルス幅を1 μs

ecから30 μ secまで変化させた時のメモリセルのしきい値電圧は、1.12Vから1.37Vまで上昇する。

【0067】従って、本実施の形態のようにビット線電位検知回路の入力にベリファイパルス発生回路XPLSの出力信号を入力し、ベリファイパルス(図5中のVRFのパルス)の幅を変えてプログラムベリファイを行えば、プログラムベリファイのパルス幅が短かければしきい値電圧は低く、パルス幅が長ければしきい値電圧を高く設定することができ、パルス幅によってソフト的にしきい値電圧の制御が可能となる。

【0068】次に、本実施の形態2による半導体記憶装置(不揮発性メモリ装置)の変形例について説明する。図9は本変形例による不揮発性メモリ装置のカラムラッチの構成を示す図である。本変形例のカラムラッチは、マトリクス状に配置されたメモリセルのドレインに接続される副ビット線SBL0、副ビット線SBL0と主ビット線MBL0を電気的に接続するセレクトゲートSTR0、プログラムデータを格納するラッチXL0、主ビット線MBL0とラッチを電気的に接続するトランスファゲート、ビット線にチャージされた電荷をディスチャージするためのトランジスタMD0で構成される。

【0069】プログラムベリファイ動作時には、まずビット線のプリチャージが行われる。ラッチXL0の電源はVDDが供給され、データは“H”が保持されている。この状態でパルス発生回路XPLSの出力TFG及びセレクトゲート制御信号SG0が“H”となり、ラッチXL0の電位VDDが副ビット線SBL0の末端までプリチャージされる。プリチャージが完了すれば、選択されたワード線WL0がアクティブになり、プログラムが適正に行われていればメモリセル電流を流す。

【0070】ここで、ラッチXL0のインバータXI1は電流能力を極めて小さく設定されているので微少なメモリセル電流で副ビット線SBL0と主ビット線MBL0がディスチャージされラッチXL0のデータを反転させることができる。

【0071】パルス発生回路XPLSからは任意のパルス幅が出力できるので、図5中のTFGのベリファイ時のパルスの幅について、図8に示したようにパルス幅を長く取ればしきい値電圧は高く、短く取ればしきい値電圧は低く設定できる。

【0072】上記実施の形態1による不揮発性メモリ装置のカラムラッチの場合と同様、図9のカラムラッチにおいてもプログラムベリファイ時に非選択ワード線WL1を負にすることによって非選択のメモリセルが流すリーク電流を抑制することができる。

【0073】実施の形態3、次に、本発明の実施の形態3による不揮発性メモリ装置について図面を参照しながら説明する。図10は本発明の実施の形態3による不揮発性メモリ装置で使用される、チャージポンプの出力を

一定電圧に保持するレギュレータの構成を示す回路図である。図10に示すように、本実施の形態3による不揮発性メモリ装置のレギュレータは、基準電圧発生回路と、差動増幅器と、出力電圧制御回路とから構成される。

【0074】まず、基準電圧発生回路により、比較される基準となる参照電圧Vrefが発生される。また、出力電圧制御回路では、出力部Voutとグランドとの間をn段の抵抗素子で直列に分割しVoutが(n-1)に抵抗分圧される。抵抗分圧されたそれぞれのノード(N1、N2、N3、…、Nm)と出力部Voutの間は、Pchトランジスタで接続されコントロール信号(Vcnt1、Vcnt2、Vcnt3)により抵抗分圧ノード(N1、N2、N3、…、Nm)とVoutが電気的に接続される。例えば、Vcnt1からVcnt3が全て“H”であれば出力部Voutはn個の直列抵抗により(n-1)に分圧され、Vcnt1が“L”であればR2からRnまでの(n-1)個の直列抵抗で(n-2)に分圧される。同様にVcnt2、Vcnt3をコントロールする事によって抵抗成分がカットされ(R4+Rn)、(R3+R4+Rn)、(R2+R3+R4+Rn)、(R1+R2+R3+R4+Rn)の(n-1)種類の抵抗値が得られる。

【0075】上記基準電圧発生回路で生成された参照電圧Vrefと、上記出力電圧制御回路により分圧された電位Vinは、差動増幅器によって比較される。仮に、Vinが参照電圧Vrefよりも高ければPchトランジスタM1はカットオフし、出力部Voutの電位は下がる。逆に、Vinが参照電圧Vrefよりも低ければPchトランジスタM1はオンし、出力部Voutの電位は上昇する。このように、出力部Voutの電位が変化しても、その抵抗分圧で求められたVinはVoutに追従して変化し差動増幅器にて参照電圧Vrefと比較されるため、出力部Voutは一定電圧を保持できる。

【0076】ここで、出力電圧制御回路のコントロール信号Vcnt1を“L”にするとノードN1とVoutは短絡され、出力部VrefはR2からRmまでの直列抵抗を持つ。抵抗R1がカットされたためにVinの電圧は上昇し、トランジスタM1の電流が少なくなりVoutの電位は低下する。Vcnt2を“L”にすれば、更にVinの電位は上昇し、Voutの電位は低下する。Vcnt3を“L”にすれば、更にVinの電位は上昇し、Voutの電位は低下する。

【0077】以上のように、レギュレータの出力電圧制御回路にn段の直列抵抗を用いて(n-1)種類の抵抗値を形成すれば、(n-1)種類の出力電圧を得ることができる。なお、図10に示す例では出力電圧制御回路の抵抗分圧発生は抵抗素子を用いたがトランジスタなど抵抗として機能する素子であれば何を用いても良い。

【0078】次に上記のレギュレータを用いた本実施の形態3による不揮発性メモリ装置のプログラム動作とプログラムベリファイ動作について説明する。図11は本発明の実施の形態3による不揮発性メモリ装置の構成を示すブロック図であり、図において、302は負昇圧回路、303は負昇圧回路302の出力を一定電圧に保持するレギュレータ、304は正昇圧回路、305は正昇圧回路304の出力を一定電圧に保持するレギュレータである。301は昇圧回路302、304、及びレギュレータ303、305のコントロールを行う制御回路である。レギュレータ303、及び305はいずれも図10に示す構成を有するものである。また、306はメモリセルのワード線(WL0, WL1)を選択するXデコーダである。BL0はメモリセルのドレインに接続されたビット線、STR0はビット線を選択を行うセレクトゲートである。307はセレクトゲートSTR0を選択するブロック選択デコーダ307である。また、図11に示すように本実施の形態3による不揮発性メモリ装置は、図4に示したものと同一構成のカラムラッチを備えている。

【0079】まず、プログラム動作では、メモリセルMEM0のコントロールゲートに $-8V$ が、ドレインに V_{pp} ($5V$)が印加され、フローティングゲートに注入された電子がドレイン側から引き抜かれる。

【0080】負昇圧回路302は、外部電源VDDからワード線に印加する $-8V$ 以下の負電圧を発生させる。一般的に昇圧回路にはチャージポンプ回路が多く用いられるが、チャージポンプ回路の出力は制御クロックの波形の影響を受け電圧変動が発生する。レギュレータ303では、負昇圧回路302からの出力を一定電圧に保持し、ワード線のデコードを行うXデコーダに電源供給される。

【0081】一方、メモリセルMEM0のドレインに印加される高電圧は正昇圧回路で生成される。正昇圧回路においても一般的にはチャージポンプ回路が多く用いられ、チャージポンプに入力される電源電圧やクロックの周波数などにより出力電圧が影響される。 $5V$ 以上の高電圧が正昇圧回路304で生成され、昇圧回路の不安定な出力電圧がレギュレータ305で一定電圧に保持される。

【0082】図10のレギュレータの回路図でも示したようにレギュレータの出力電圧制御回路における出力部Voutは、例えば5段の抵抗素子により分割され、4種類の電圧を出力できるような構成になっている。レギュレーションされた一定電圧 V_{pp} は、カラムラッチのビット線電位検知回路のPchトランジスタと、ビット線とラッチを電気的に接続するPchトランスファゲートと、ラッチ内のPchトランジスタに供給される。従って、メモリセルのドレインには4通りのプログラム電圧を印加することができる。

【0083】プログラムの第一パルスを低い電圧で行うことにより、トンネル酸化膜に発生する電界を緩和することができ、第二パルス以降ではパルスの回数を増やす度にレギュレーション電圧を上げるることにより、プログラム回数が増加した時のプログラム時間の短縮が可能となる。

【0084】また、昇圧回路とレギュレータにより安定化された電源をカラムラッチに供給することにより、ワード線の電圧とドレイン電圧の安定化が行われプログラム中のトンネル酸化膜に発生する電界は一定となりしきい値電圧のばらつきが低く抑えられる。図11の不揮発性メモリ装置におけるプログラム手法及びプログラムベリファイ手法は図4のカラムラッチを用いた不揮発性メモリ装置における手法と同じであるためここでは説明を省略する。

【0085】次に、本実施の形態3による不揮発性メモリ装置の変形例について説明する。図12は本実施の形態3による不揮発性メモリ装置の変形例の構成を示すブロック図であり、図において、301は制御回路、302は負昇圧回路、303は負昇圧回路から出力された電圧を一定電圧に保持するレギュレータ、304は正昇圧回路、305は正昇圧回路から出力された電圧を一定電圧に保持するレギュレータ、306はワード線を選択を行うXデコーダ、307はセレクトゲートSTR0の選択を行うブロック選択デコーダで、以上は図11の構成と同様なものである。

【0086】図11の不揮発性メモリ装置との相違点はラッチXL0の電源が外部から供給されるVDD電源で構成されていることと、ラッチXL0の出力をレベルシフト回路に接続していることと、レベルシフト回路の電源を V_{pp} から供給していることにある。

【0087】ラッチXL0で保持されたデータは、レベルシフト回路に入力されプログラム電圧 V_{pp} に電圧変換される。正昇圧回路304で発生された高電圧は、レギュレータ305に入力され一定電圧に保持され、レベルシフト回路の電源に供給される。

【0088】図10のレギュレータの回路図でも示したようにレギュレータの出力電圧制御回路における出力部Voutは、例えば5段の抵抗素子により分割され、4種類の電圧を出力できるような構成になっている。従って、メモリセルのドレインには4通りのプログラム電圧を印加することができる。図12の回路の動作は、図11と同じであるためここでは説明を省略する。

【0089】以上のように、本変形例では、レギュレータ305の出力電圧をレベルシフト回路の電源に供給する構成としているので、レギュレータの出力が変化してもラッチの電源には影響を及ぼすことを回避でき、安定した動作が可能となる。

【0090】実施の形態4. 次に、本発明の実施の形態4による不揮発性メモリ装置について図面を参照しながら

ら説明する。本実施の形態4による不揮発性メモリ装置の全体の構成は図1に示す実施の形態1による不揮発性メモリ装置と同様であるが、カラムラッチの構成が異なるものである。図13は本実施の形態4による不揮発性メモリ装置のカラムラッチを示す図であり、図4のカラムラッチと比較すると、異なる点はラッチがフリップフロップ回路になっている点であり、その他は図4のカラムラッチと同じ構成である。

【0091】フリップフロップFFiは、データの入力端子D、データの出力端子Q、リセット端子RS、クロック入力CK、及び、クロックの反転入力NCKを持ち、リセット端子RSに“L”が入力されれば保持しているデータをリセット(“L”に設定)する。データはクロックCKの立ち上がりエッジで入力端子Dのデータをラッチする。フリップフロップFFiは隣り合うフリップフロップの出力と入力が接続され、シフトレジスタを形成している。フリップフロップFFiの初段にはデータ入力端子DINがありクロックCKの立ち上がりエッジに合わせてデータが入力される。仮にy個のフリップフロップFFiが接続されたyビットのシフトレジスタであればyサイクルのクロックを入力すればフリップフロップFFiへのデータをロードすることができる。

【0092】これまで説明したようにカラムラッチでは、プログラムを行うビット線にプログラム電圧Vppを印加するため、ラッチを“H”に保持していなければならない。ラッチが“H”を保持することによって、ラッチの電源Vppがそのままビット線に伝達されプログラムが行われる。従って、クロックの立ち上がりでデータ入力端子DINに、プログラムを行うビットには“H”を、プログラムを行わないビットには“L”を入力すればカラムラッチへのデータのセットができる。

【0093】以上のように、カラムラッチのデータ保持手段としてフリップフロップを用い、それらでシフトレジスタを構成すれば、入力データ端子DINのバンド幅を狭く設定できレイアウト面積を小さくすることができる。本実施の形態4による、このカラムラッチにおいて、プログラムとプログラムベリファイは図4に示す回路と同じであるため説明は省略する。

【0094】次に、本実施の形態4による不揮発性メモリ装置の変形例について説明する。図14は本変形例による不揮発性メモリ装置のカラムラッチの構成を示す図である。本変形例のカラムラッチの、図13のカラムラッチとの相違点はフリップフロップFFiの電源が外部から供給されるVDD電源で構成されている点、フリップフロップFFiの出力をレベルシフト回路に接続している点、及びレベルシフト回路の電源をVppから供給している点である。

【0095】以上のように、本変形例では、フリップフロップの電源をVDDとし、レベルシフト回路で電圧変換する構成としたので、カラムラッチの動作モードが変

わりVppの電圧が変動した際のフリップフロップFFiへの影響を抑制でき、安定した動作が可能となる。また、ビット線を駆動するドライブトランジスタはレベルシフト回路が受け持つためフリップフロップ内のトランジスタサイズを小さく設定でき容易にデータのリセットが可能となる。

【0096】実施の形態5. 次に、本発明の実施の形態5による不揮発性メモリ装置について図面を参照しながら説明する。図15は、本発明の実施の形態5による不揮発性メモリ装置においてプログラム時のベリファイパス信号を出力する回路を示す図である。ここでは、8ビットのデータラッチを使ってベリファイパス信号の出力について説明する。上記他の実施の形態でも説明したようにプログラムを行うビットのラッチには“H”のデータがセットされ、プログラムされないビットのラッチには“L”がセットされている。メモリセルへのプログラムが完了すれば、ラッチのデータはリセットされ“L”にセットされ、それ以降のプログラムは行われない。全てのビットのプログラムが完了した時点で全ラッチは

“L”にセットされる。ラッチの出力信号(N00からN70)は、4入力NORゲート(XNOR0とXNOR1)に入力され、その出力は2入力NANDゲートXNANDに入力されている。XL00からXL70までのラッチのうち一つでも“H”のデータが存在すればベリファイパス信号PASSは“L”のままであり、全ラッチのデータが“L”になった時に初めてベリファイパス信号PASSから“H”が出力される。

【0097】言い換えれば、ベリファイパス信号PASSが出力されたならば全ラッチは“L”にリセットされているということになるためプログラム動作を完了させて良い。

【0098】以上のように、カラムラッチの全出力の論理積あるいは論理和を取ればプログラムが完了したフラグをたてることができる。また、ラッチのデータはプログラムベリファイを行うかあるいは新たなデータをロードするまで書き換えられることはない。その間ラッチは保持しているデータを常に出力している。ベリファイパス信号PASSもデータを出力し続けるため、信号出力のためのコントロールも必要なければ、ベリファイパス信号PASSをラッチするタイミングも考慮しなくて良い。なお、ベリファイパス信号出力の説明は8ビットで行ったが、ビット線の本数は何本でも構わない。

【0099】実施の形態6. 次に、本発明の実施の形態6による不揮発性メモリ装置について図面を参照しながら説明する。図16は本実施の形態6による不揮発性メモリ装置におけるカラムラッチのデータセットからプログラム完了までのシーケンスを示す図、図17はマトリクス状に配置されたメモリセルの回路を示す図、図18はメモリセルのしきい値電圧分布を示す図である。

【0100】図2でも説明したように、本発明で用いる

NOR型のメモリセルではしきい値電圧が高い状態（フローティングゲートに電子が注入されている）を消去状態“0”とし、しきい値電圧が低い状態（フローティングゲートから電子が引き抜かれた）をプログラム状態“1”として扱う。図17に示すマトリックス状に配置されたメモリセルには、消去状態のメモリセルとプログラム状態のメモリセルが混在している。具体的には、常にプログラム状態にあるメモリセル501と、常に消去状態にあるメモリセル502と、プログラム状態から消去状態に書き換えられるメモリセル503と、消去状態からプログラム状態に書き換えられるメモリセル504が存在する。

【0101】図18に示すしきい値電圧分布で、消去状態506とプログラム状態505のセルが混在した状態でメモリセルのプログラムを行う場合、一度消去を実施して全てのセルのしきい値電圧を高くしなければならない。仮に消去をすることなく再プログラムを行えば、既にプログラムされているメモリセル501に対してもプログラム電圧が印加されるため、そのメモリセルではしきい値電圧が更に下がり過プログラム507が行われる。過プログラム507が行われれば、メモリセルのしきい値電圧が負になり、読み出し時にワード線電圧が0Vでもメモリセル電流を流し、誤読み出しにつながる。従って図16におけるプログラム408前の消去405は、必須のシーケンスである。

【0102】図17の常に消去状態にあるメモリセル502では、プログラム時にカラムラッチのデータが“L”にセットされてプログラムは行なわれない。このようなメモリセルに対して消去／プログラムのサイクルを繰り返しても消去だけが行われ、メモリセルのしきい値電圧は徐々に上昇し過消去状態508となる。その状態からプログラムを行うとフローティングゲートには過大な電子が注入されているためトンネル酸化膜の電界が高くなり酸化膜にダメージを及ぼす。

【0103】そこで、図16に示すように消去／プログラムのサイクルの前にプログラムベリファイ402とプリプログラム403を挿入して、図18の常に消去状態にあるメモリセルのプログラムを行えば消去状態506からプログラム状態505となり、次の消去で過消去508になることを回避できる。

【0104】消去状態とプログラム状態が混在したメモリセルのうち、常にプログラム状態にあるメモリセル501を過プログラム507から救済するためにはプログラム前の消去405が、常に消去状態にあるメモリセル502を過消去508から救済するためには消去405前のプリプログラム403が必要である。

【0105】図16を使って本実施の形態6による半導体記憶装置（不揮発性メモリ装置）の消去／プログラムサイクルのフローを詳細に説明する。まず、ラッチデータセット401において、全カラムラッチに“H”のデ

ータをセットする。次にプログラムベリファイ402を行い適正にプログラムされているメモリセルに接続されたラッチを“L”にリセットする。プリプログラム403では、ラッチが“H”にセットすなわち消去状態にあるメモリセルのみがプログラムされる。ここで、プリプログラム403とプログラムベリファイ404はA回繰り返される。消去／プログラムサイクルに十分な時間が確保できればしきい値電圧が揃うまで繰り返せば良いし、十分な時間が確保できなければA=0として1度だけプログラムパルスを与えれば良い。ラッチデータセット401からプログラムベリファイ404までのフローは、アドレスをインクリメントしてワード線を切換え、消去ブロックの全てのメモリセルに対して行う。

【0106】次に、消去405を実施し消去ブロック全てのメモリセルのしきい値電圧を高くする。消去ベリファイ406では、メモリセルのしきい値が適正か否かを判断し、メモリセルのしきい値電圧が揃うまでB回繰り返される。消去ベリファイ406がパスすれば、プログラムを行う。

【0107】プログラム408の準備として、ラッチデータセット407においてカラムラッチにプログラムデータをセットする。プログラムするメモリセルに接続されたカラムラッチには“H”を、消去状態にしておくメモリセルのカラムラッチには“L”をセットし、図4にて説明した手順でプログラム動作を行う。プログラムベリファイ409では、しきい値電圧が適正か否かを判断しメモリセルのプログラム408が完了するまでC回繰り返される。選択したワード線に対しプログラム408が完了すれば、アドレスを切り替えて消去した全ワード線に対しラッチデータセット407からプログラムベリファイ409を繰り返す。消去した全ワード線のプログラム408が完了すれば、プログラム完了410となる。

【0108】以上のように、本実施の形態6による半導体記憶装置では、消去／プログラムのサイクルにおいて、消去動作の前に消去状態であるメモリセルに対してのみプリプログラムを行なった後にメモリセルに対する消去を行ない、その後、プログラムを行なう構成としたから、常に消去されているメモリセルの過消去508と常にプログラムされているメモリセルの過プログラム507を回避でき、しきい値電圧を揃えることができ、誤読み出しを抑制でき、また、トンネル酸化膜にダメージを受けることによる素子破壊を抑制できる、不揮発性メモリ装置を実現できる。

【0109】実施の形態7. 次に、本発明の実施の形態7による半導体記憶装置（不揮発性メモリ装置）について図面を参照しながら説明する。図19はプログラム時間に対するしきい値電圧の変化を示す図、図20は本実施の形態7による半導体記憶装置におけるベリファイ動作の挿入タイミングを示す図である。

【0110】一般的に、フラッシュEEPROMのプログラムではプログラムパルスを印加したと同時にトンネル酸化膜に電界が発生しFNトンネル電流が流れる。プログラムを継続して行えばフローティングゲート中に蓄積された電子はドレイン側から引き抜かれるためトンネル酸化膜の電界が緩和され、しきい値電圧の変化は、図19に示すように徐々に緩くなる。

【0111】一定幅のプログラムパルスを繰り返し印加し、その都度プログラムベリファイを行えばプログラムベリファイを含めた累積プログラム時間は長くなる。そこで、プログラムベリファイを初期のプログラムにおいては頻繁に行い、適正なしきい値電圧に近づくに従ってプログラムベリファイ頻度を少なくすれば、累積プログラム時間を短くすることができる。

【0112】例えば、図20に示すように100μsecのプログラムパルスを繰り返し印加し、メモリセルのしきい値電圧を下げていくとすれば、プログラムベリファイは、

$$T_{pv} = T_{prg} \times 2^{-(n-1)} \quad (n=1, 2, \dots)$$

T_{pv} : プログラムベリファイの挿入時間

T_{prg} : プログラムパルス幅 (100μsec)

n : プログラムベリファイ回数

で求めた T_{pv} のタイミングで挿入すれば良い。

【0113】 $n=1$ すなわちプログラム開始から100μsec後に1回目のプログラムベリファイを、 $n=2$ すなわちプログラム開始から200μsec後に2回目のプログラムベリファイを、 $n=3$ すなわちプログラム開始から400μsec後に3回目のプログラムベリファイを、といった具合にプログラムの回数が増えしきい値電圧が適正值に近づくほどプログラムベリファイの挿入回数を減らせば、累積プログラム時間が削減可能である。

【0114】なお、プログラムベリファイの挿入はプログラム時間の関数として表したがプログラム時間を正規化して

$$P_{pv} = 2^{-(n-1)} \quad (n=1, 2, \dots)$$

P_{pv} : プログラムベリファイの挿入ポイント

n : プログラムベリファイ回数

としても良い。この場合、1、2、4、8、16回目のプログラムパルスを与えた後にプログラムベリファイを行う。

【0115】実施の形態8。次に、本発明の実施の形態8による半導体記憶装置（不揮発性メモリ装置）について図面を参照しながら説明する。図21はプログラムベリファイ電圧（ワード線電圧）とプログラム後のしきい値電圧の関係を示す図である。図4でも説明したように、プログラムベリファイではビット線BL0にプリチャージを行い、ワード線WL0に1V程度のプログラムベリファイ電圧を与えて微少なメモリセル電流を流して

ビット線BL0をディスチャージさせる。メモリセルのプログラムが適正に行われていればメモリセルMEM0は、1μA程度の微少電流を流してプリチャージされたビット線BL0の電荷をディスチャージする。プログラムが適正に行われていなければメモリセルMEM0は電流を流さず、ビット線BL0はプリチャージされた電位をそのまま保持する。ビット線BL0がディスチャージされればビット線電位検知回路が動作を開始し、ラッチに保持されているデータをリセットする。

【0116】図21からも分かるように、プログラムベリファイ時のワード線の電圧は、プログラム後のしきい値電圧に大きく影響を及ぼす。ワード線WL0の電圧を高くすれば、ベリファイ時にメモリセル電流が多く確保できるためビット線BL0のディスチャージが早く行われ、ラッチの反転も早いタイミングで行われる。その結果、メモリセルMEM0のしきい値電圧も高くなる。一方、ワード線WL0の電圧を低くすれば、ベリファイ時のメモリセル電流は小さくなり、しきい値電圧も低くなる。

【0117】今後不揮発性メモリは、低電圧化が進むためプログラム後のしきい値電圧を低く抑えなければならない。しかし、ワード線WL0に印加する電圧には限界があるため、プログラム時のしきい値電圧を別の手法により低電圧化しなければならない。

【0118】図22は本実施の形態7による半導体記憶装置のプログラム動作を説明するためのフロー図である。プログラム602の準備として、ラッチデータセット601においてカラムラッチにプログラムデータをセットする。このラッチデータセット601ではプログラムするメモリセルに接続されたカラムラッチには“H”を、消去状態にしておくメモリセルのカラムラッチには“L”をセットし、図4にて説明した手順でプログラム動作を行う（プログラム602）。プログラムベリファイ603では、プログラムされたメモリセルのしきい値電圧が適正か否かを判断しメモリセルのプログラム602が完了するまでD回繰り返される。

【0119】プログラムベリファイ603がパスすれば、再度プログラム（追加プログラム604）を行いメモリセルのしきい値電圧を下げる。ここで、メモリセルのしきい値電圧は、1V前後に収束しているため、図19からもわかるように、短いプログラムパルスではしきい値電圧が下がらない。そこで、E回追加プログラム604を行いしきい値電圧を下げる。E回の追加プログラム604が完了すれば、プログラム完了605となる。

【0120】以上のように、本実施の形態7による半導体記憶装置では、プログラムベリファイがパスした後に追加プログラムを行う構成としたので、プログラム後のメモリセルのしきい値電圧を下げるができる。

【0121】

【発明の効果】以上のようにこの発明（請求項1）によ

れば、マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電気的に分離するトランスファークロウと、上記ビット線の電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってラッチのデータを反転させるラッチリセット回路とを備えた構成としたから、僅かなメモリセル電流でも容易にラッチのデータを書き換えられるため安定したプログラムベリファイ動作を行うことができる不揮発性メモリ装置を実現できる効果がある。

【0122】また、この発明（請求項2）によれば、請求項1記載の半導体記憶装置において、メモリセルへのプログラムが適正に行われたか否かを判定するプログラムベリファイ時に、上記メモリセルのドレインに接続されたビット線のうち選択されたビット線だけをプリチャージする手段と、上記プログラムベリファイ時に、選択されたメモリセルのワード線にプログラムベリファイ電圧を印加する手段と、上記プログラムベリファイ時に、選択された上記メモリセルのセル電流によって決定されるビット線電位を検知するビット線電位検知手段とを備え、上記ラッチリセット回路は上記ビット線電位検知手段の出力によりラッチのデータを反転させる構成としたから、僅かなメモリセル電流でも容易にラッチのデータを書き換えられるため安定したプログラムベリファイ動作を行うことができる不揮発性メモリ装置を実現できる効果がある。

【0123】また、この発明（請求項3）は、マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電気的に分離するトランスファークロウと、上記ラッチの出力レベルをプログラム電圧及びベリファイドレイン電圧に電圧変換するレベルシフト回路と、上記ビット線の電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってラッチのデータを反転させるラッチリセット回路とを備えた構成としたから、僅かなメモリセル電流でも容易にラッチのデータを書き換えられるため安定したプログラムベリファイ動作を行うことができる不揮発性メモリ装置を実現できる効果がある。また、ラッチの出力にレベルシフト回路で電圧変換を行う構成とすることにより、Vppの電位が変化した際のリーク電流を抑制できる効果がある。

【0124】また、この発明（請求項4）によれば、マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、メモリセルへのプログラムが適正に行われたか否かを判定するプログラムベリファイ時に、上記メモリセルのドレインに接続されたビット

線のうち選択されたビット線だけをプリチャージする手段と、選択されたメモリセルのワード線にプログラムベリファイ電圧を印加する手段と、非選択のメモリセルのワード線に負電圧を印加する手段とを備え、ビット線の電位に基づいてラッチのデータを反転させる構成としたから、プログラムベリファイ時に非選択のメモリセルからのリーク電流を抑制でき、誤判定を防止できる効果がある。

【0125】また、この発明（請求項5）は、マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電気的に分離するトランスファークロウと、上記ビット線の電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってラッチのデータを反転させるラッチリセット回路と、上記ビット線電位検知回路に接続され任意のパルス幅を発生することのできるベリファイパルス発生回路とを備えた構成としたから、ベリファイパルスの幅を変えてプログラムベリファイを行なうことにより、プログラムベリファイのパルス幅が短かければしきい値電圧は低く、パルス幅が長ければしきい値電圧を高く設定することができ、パルス幅によってソフト的にしきい値電圧の制御が可能となる効果がある。

【0126】また、この発明（請求項6）によれば、請求項5記載の半導体記憶装置において、メモリセルへのプログラムが適正に行われたか否かを判定するプログラムベリファイ時に上記メモリセルのドレインに接続されたビット線のうち選択されたビット線だけをプリチャージする手段と、選択されたメモリセルのワード線にプログラムベリファイ電圧を印加する手段と、非選択のメモリセルのワード線を0Vあるいは負の電位に設定する手段と、パルス発生回路から発生したベリファイパルスの期間中プログラムベリファイを実施する手段と、上記プログラムパルスのパルス幅を短く設定してメモリセルのしきい値電圧を低く設定する手段と、上記プログラムパルスのパルス幅を長く設定してメモリセルのしきい値電圧を高く設定する手段とを備えた構成としたから、パルス幅によってソフト的にしきい値電圧の制御が可能となる効果がある。

【0127】また、この発明（請求項7）によれば、安定化電圧を出力するレギュレータにおいて、基準電圧を発生させる手段と、レギュレータの出力電圧ノードと所定電位ノードとの間に直列接続されたn個の抵抗として機能する素子からなる分圧手段と、直列に接続された上記n段の抵抗として機能する素子のm段目（mはn-2以下の整数）の素子の上記所定電位ノード側端と上記出力電圧ノードとの間を制御信号に応じて接断するスイッチ手段と、上記n段の抵抗として機能する素子のn段目

と $n-1$ 段目の接続点に現れる抵抗分圧された電圧と上記基準電圧とを比較する手段と、上記比較手段の出力に応じて上記出力電圧のノードへの電位の供給を制御する手段とを備えた構成としたから、上記制御信号を切り換えることにより複数種類の安定化電圧を出力可能なレギュレータを実現できる効果がある。

【0128】また、この発明（請求項8）は、マトリクス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電気的に分離するトランスファークロフトと、上記ビット線の電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってラッチのデータを反転させるラッチリセット回路と、上記メモリセルのプログラム電圧とベリファイドレイン電圧と消去電圧を発生する昇圧回路と、上記昇圧回路の出力電圧を入力とし、制御信号に応じて複数種類の安定化電圧を切り換えて出力するレギュレータと、上記レギュレータに対し上記制御信号を与える出力電圧コントロール手段とを備えた構成としたから、僅かなメモリセル電流でも容易にラッチのデータを書き換えられるため安定したプログラムベリファイ動作を行うことができる不揮発性メモリ装置を実現でき、また、レギュレータによりワード線の電圧とドレイン電圧の安定化できるのでプログラム中のトンネル酸化膜に発生する電界を一定とでき、メモリセルのしきい値電圧のばらつきが低く抑えられる効果がある。

【0129】また、この発明（請求項9）によれば、請求項8記載の半導体記憶装置において、上記カラムラッチ中のラッチが、その電源として上記レギュレータの出力電圧が供給されるものであり、上記レギュレータの出力電圧を変えることにより上記ラッチからビット線に印加するプログラム電圧を変更できる構成としたから、複数回のプログラムのそれぞれをより好ましいプログラム電圧で行なうことのできる不揮発性メモリ装置を実現できる効果がある。

【0130】また、この発明（請求項10）によれば、マトリクス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電気的に分離するトランスファークロフトと、上記ラッチの出力レベルをプログラム電圧及びベリファイドレイン電圧に電圧変換するレベルシフト回路と、上記ビット線の電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってラッチのデータを反転させるラッチリセット回路と、上記メモリセルのプログラム電圧とベリファイドレイン電圧と消去電圧を発生する昇圧回路と、上記昇圧回路の出力電

圧を入力とし、制御信号に応じて複数種類の安定化電圧を切り換えて出力するレギュレータと、上記レギュレータに対し上記制御信号を与える出力電圧コントロール手段とを備えた構成としたから、僅かなメモリセル電流でも容易にラッチのデータを書き換えられるため安定したプログラムベリファイ動作を行うことができる不揮発性メモリ装置を実現でき、また、レギュレータによりワード線の電圧とドレイン電圧の安定化できるのでプログラム中のトンネル酸化膜に発生する電界を一定とでき、メモリセルのしきい値電圧のばらつきが低く抑えられる効果がある。

【0131】また、この発明（請求項11）によれば、請求項10記載の半導体記憶装置において、上記カラムラッチ中のレベルシフト回路が、その電源として上記レギュレータの出力電圧が供給されるものであり、上記レギュレータの出力電圧を変えることにより上記レベルシフト回路からビット線に印加するプログラム電圧を変更できる構成としたから、複数回のプログラムのそれぞれをより好ましいプログラム電圧で行なうことのできる不揮発性メモリ装置を実現できる効果がある。

【0132】また、この発明（請求項12）によれば、マトリクス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたフリップフロップと、隣接する上記フリップフロップのデータ入力端子とデータ出力端子を接続することによって構成されたシフトレジスタと、上記フリップフロップとビット線を電気的に分離するトランスファークロフトと、上記ビット線の電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってフリップフロップのデータを反転させるフリップフロップリセット回路と、上記シフトレジスタにシリアルにデータを入力することによりプログラムデータをセットする手段とを備えた構成としたから、入力データ端子のバンド幅を狭く設定でき、レイアウト面積を小さくできる効果がある。

【0133】また、この発明（請求項13）によれば、マトリクス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたフリップフロップと、上記フリップフロップ群のデータ入力端子とデータ出力端子を接続することによって構成されたシフトレジスタと、上記フリップフロップとビット線を電気的に分離するトランスファークロフトと、上記フリップフロップの出力レベルをプログラム電圧及びベリファイドレイン電圧に電圧変換するレベルシフト回路と、上記ビット線の電圧を検知するビット線電位検知回路と、上記ビット線電位検知回路の出力によってフリップフロップのデータを反転させるフリップフロップリセット回路と、上

記シフトレジスタにシリアルにデータを入力することによりプログラムデータをセットする手段とを備えた構成としたから、電圧変動によるフリップフロップへの影響を抑制でき、安定動作を実現できる効果がある。

【0134】また、この発明（請求項14）によれば、マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのドレインに接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電気的に分離するトランスファークラップトと、上記ラッチ出力の論理和あるいは論理積を求める回路と、プログラムベリファイ動作が完了したことを出力するベリファイパス出力回路と、ラッチの出力が全て同一データに設定された時にベリファイパス出力回路にベリファイが完了したフラグを立てる手段とを備えた構成としたから、カラムラッチの全出力に基づいてプログラム完了を検知し、プログラム動作を終了できる不揮発性メモリ装置を実現できる効果がある。

【0135】また、この発明（請求項15）によれば、マトリックス状に配置された不揮発性のメモリセルと、メモリセルのコントロールゲートに接続されたワード線と、上記メモリセルのドレインに接続されたビット線と、上記メモリセルのソースに接続された複数のソース線と、上記メモリセルをプログラムするために上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチとを有し、上記メモリセルに対するプログラムを行なうに際し、プログラムに先立ってメモリセルの消去動作を行なう半導体記憶装置において、上記プログラム動作に先立って行なわれる消去動作の前に消去状態にあるメモリセルに対し当該メモリセルをプログラム状態とするプリプログラムを行なう構成としたから、常に消去されているメモリセルの過消去と常にプログラムされているメモリセルの過プログラムを回避でき、しきい値電圧を揃えることができ、誤読み出しを抑制でき、また、トンネル酸化膜にダメージを受けることによる素子破壊を抑制できる、不揮発性メモリ装置を実現できる効果がある。

【0136】また、この発明（請求項16）によれば、マトリックス状に配置された不揮発性のメモリセルを有し、該メモリセルのプログラムとプログラムが適正に行われたか否かを判断するプログラムベリファイとを行なう半導体記憶装置において、上記プログラムが行われた後に上記プログラムベリファイを実行する手段と、上記プログラムベリファイの判定結果がフェイルした場合に再度メモリセルにプログラムを行う手段と、プログラム回数が増えるに従ってプログラムベリファイ動作を任意に間引く手段と、プログラムベリファイが間引かれた時に連続してプログラムを行う手段とを備えた構成としたから、プログラムベリファイを行なって複数回のプログラムを行なう際の累積プログラム時間を削減できる効果

がある。

【0137】また、この発明（請求項17）によれば、請求項16記載の半導体記憶装置において、メモリセルのプログラムとプログラムが適正に行われたか否かを判断するプログラムベリファイとを行なうに際し、上記プログラムが行われた後に上記プログラムベリファイを実行するシーケンス中で、一定のプログラムパルス幅を T_{prg} 、プログラムベリファイ回数を n とした時に、プログラムベリファイを挿入するタイミングであるプログラム開始からの経過時間 T_{pv} が、

$$T_{pv} = T_{prg} \times 2^{-(n-1)} \quad (n=1, 2, \dots)$$

を満たすものとしたから、プログラムベリファイを行なって複数回のプログラムを行なう際の累積プログラム時間を削減できる効果がある。

【0138】また、この発明（請求項18）によれば、請求項16記載の半導体記憶装置において、メモリセルのプログラムとプログラムが適正に行われたか否かを判断するプログラムベリファイとを行なうに際し、上記プログラムが行われた後に上記プログラムベリファイを実行するシーケンス中で、プログラムベリファイ回数を n とした時に、何回目のプログラム後にプログラムベリファイを挿入するかを示すベリファイポイント P_{pv} が、 $P_{pv} = 2^{-(n-1)}$ ($n=1, 2, \dots$) を満たすものとしたから、プログラムベリファイを行なって複数回のプログラムを行なう際の累積プログラム時間を削減できる効果がある。

【0139】また、この発明（請求項19）によれば、マトリックス状に配置された不揮発性のメモリセルを有する半導体記憶装置において、上記メモリセルのビット線に接続されるビット線と、上記ビット線毎あるいは数本のビット線に1つの割合で設けられたラッチと、上記ラッチとビット線を電気的に分離するトランスファークラップトと、上記ビット線に接続されたラッチのデータによりビット線を選択してプログラムする手段と、上記プログラムが適正に行われたか否かを判断するプログラムベリファイ手段と、上記プログラムが行われた後に上記プログラムベリファイを実行する手段と、上記プログラムベリファイの結果が適正にプログラムされたことを示すものであった後にさらにプログラムパルスを追加して追加プログラムを行なう追加プログラム手段とを備えた構成としたから、プログラム後のメモリセルのしきい値電圧を下げることができる効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態1による半導体記憶装置（不揮発性メモリ装置）の構成を示すブロック図である。

【図2】本発明の実施の形態1による半導体記憶装置（不揮発性メモリ装置）に使用されるNOR型メモリセルの断面構造を示す模式図である。

【図3】本発明の実施の形態1による半導体記憶装置（不揮発性メモリ装置）に使用されるメモリセルのしきい値電圧分布を示す図である。

【図4】本発明の実施の形態1による半導体記憶装置（不揮発性メモリ装置）において用いられるビット線電位検知回路を持つカラムラッチの構成を示す回路図である。

【図5】本発明の実施の形態1による半導体記憶装置（不揮発性メモリ装置）におけるカラムラッチの動作を説明するためのタイミングチャート図である。

【図6】本発明の実施の形態1による半導体記憶装置（不揮発性メモリ装置）の変形例において用いられるレベルシフト回路を持つカラムラッチの構成を示す回路図である。

【図7】本発明の実施の形態2による半導体記憶装置（不揮発性メモリ装置）において用いられるカラムラッチの構成を示す回路図である。

【図8】プログラムベリファイパルス幅とメモリセルのしきい値電圧との関係を示す図である。

【図9】本発明の実施の形態2による半導体記憶装置（不揮発性メモリ装置）の変形例において用いられるカラムラッチの構成を示す回路図である。

【図10】本発明の実施の形態3による半導体記憶装置（不揮発性メモリ装置）において用いられるレギュレータの構成を示す回路図である。

【図11】本発明の実施の形態3による半導体記憶装置（不揮発性メモリ装置）の構成を示す図である。

【図12】本発明の実施の形態3による半導体記憶装置（不揮発性メモリ装置）の変形例の構成を示す図である。

【図13】本発明の実施の形態4による半導体記憶装置（不揮発性メモリ装置）において用いられるカラムラッチの構成を示す回路図である。

【図14】本発明の実施の形態4による半導体記憶装置（不揮発性メモリ装置）の変形例において用いられるカラムラッチの構成を示す回路図である。

【図15】本発明の実施の形態5による半導体記憶装置（不揮発性メモリ装置）に用いられるカラムラッチのベリファイバス信号を出力する回路を示す図である。

【図16】本発明の実施の形態6による半導体記憶装置（不揮発性メモリ装置）の動作を説明するためのフロー図である。

【図17】本発明の実施の形態6による半導体記憶装置（不揮発性メモリ装置）の動作を説明するための、マトリックス状に配置されたメモリセルの回路図である。

【図18】本発明の実施の形態6による半導体記憶装置（不揮発性メモリ装置）の動作を説明するための、メモリセルのしきい値電圧分布図である。

【図19】本発明の実施の形態7による半導体記憶装置（不揮発性メモリ装置）を説明するための、プログラム

時間に対するメモリセルのしきい値電圧変化を示す図である。

【図20】本発明の実施の形態7による半導体記憶装置（不揮発性メモリ装置）におけるプログラムベリファイ挿入タイミングを説明するための図である。

【図21】プログラムベリファイ時のワード線の電圧とプログラム後のしきい値電圧の関係を示す図である。

【図22】本発明の実施の形態8による半導体記憶装置（不揮発性メモリ装置）における追加プログラムパルスのフロー図である。

【図23】従来のカラムラッチの構成を示す回路図である。

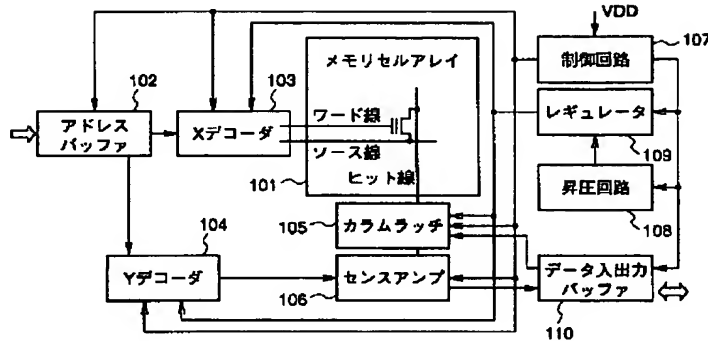
【符号の説明】

101	メモリセルアレイ
102	アドレスバッファ
103	Xデコーダ
104	Yデコーダ
105	カラムラッチ
106	センスアンプ
107	制御回路
108	昇圧回路
109	レギュレータ
110	データ入出力バッファ
201	コントロールゲート
202	フローティングゲート
203	トンネル酸化膜
204	ソース
205	ドレイン
206	基板
301	制御回路
302	負昇圧回路
303	負電圧レギュレータ
304	正昇圧回路
305	正電圧レギュレータ
306	Xデコーダ
307	ブロック選択デコーダ
401	ラッチデータセット
402	プログラムベリファイ
403	アリアプログラム
404	プログラムベリファイ
405	消去
406	消去ベリファイ
407	ラッチデータセット
408	プログラム
409	プログラムベリファイ
410	プログラム完了
501	常時プログラム状態のメモリセル
502	常時消去状態のメモリセル
503	プログラム状態から消去状態に書き換えられるメモリセル

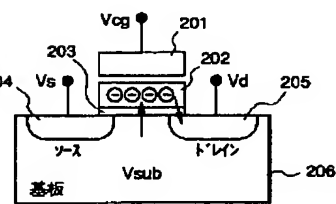
504 消去状態からプログラム状態に書き換えられ
るメモリセル
505 プログラム状態のメモリセルのしきい値電圧
分布
506 消去状態のメモリセルのしきい値分布
507 過プログラム

508 過消去
601 ラッチデータセット
602 プログラム
603 プログラムベリファイ
604 追加プログラム
605 プログラム完了

【図1】

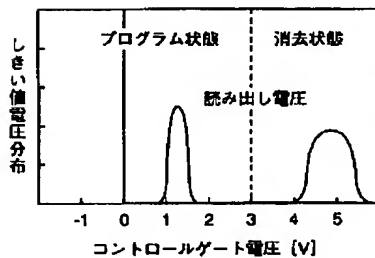


【図2】

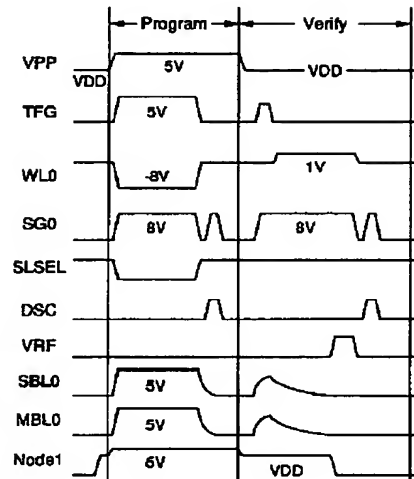
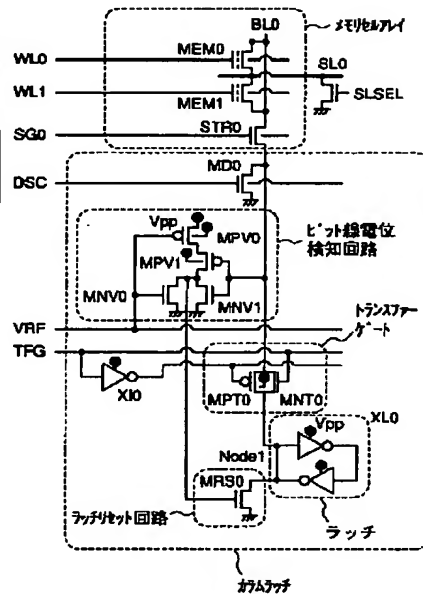


【図5】

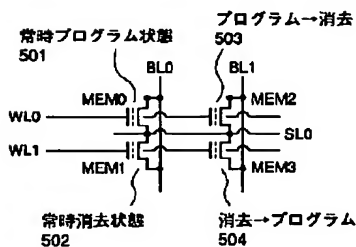
【図3】



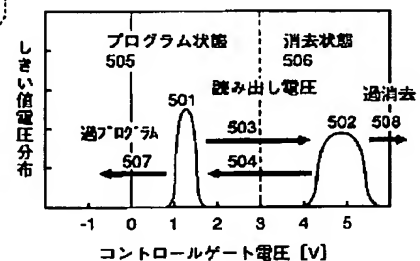
【図4】



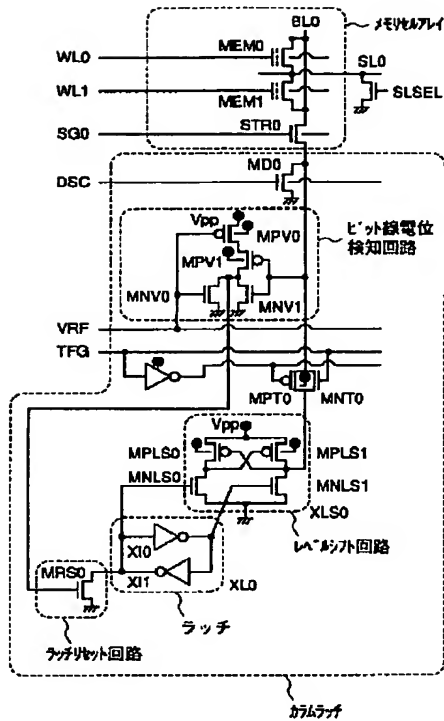
【図17】



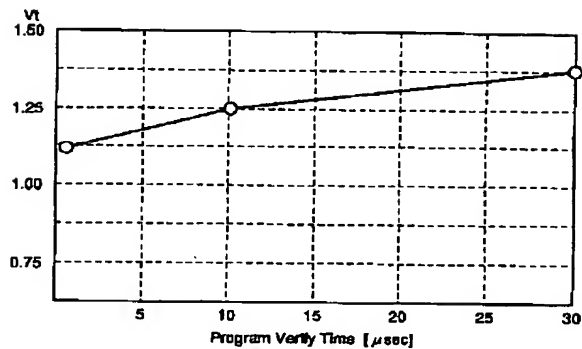
【図18】



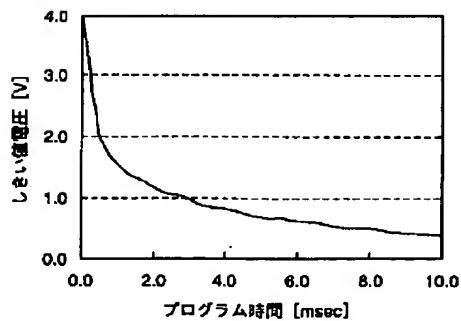
【図6】



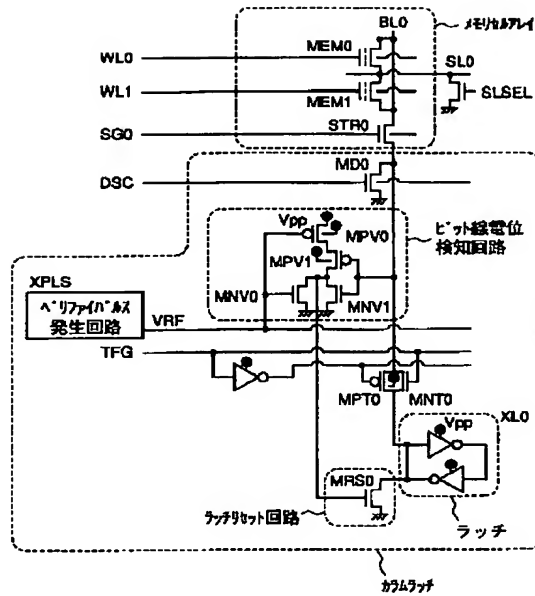
【図8】



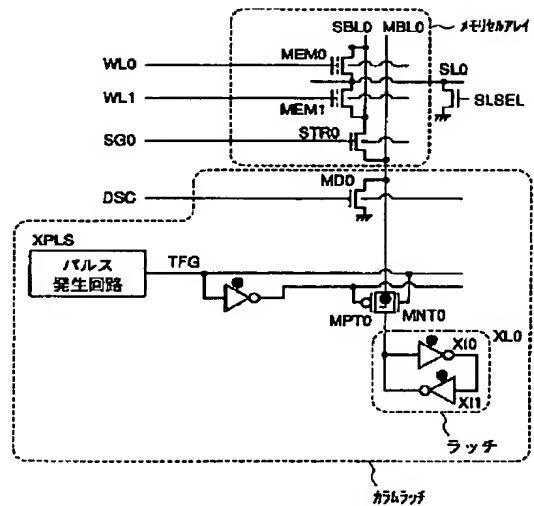
【図19】



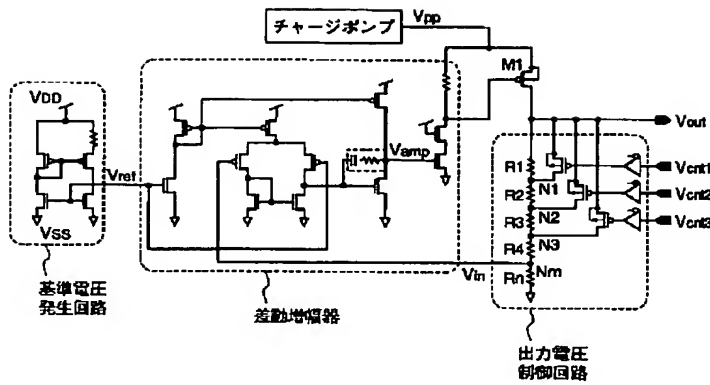
【図7】



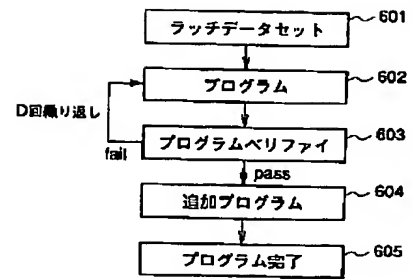
【図9】



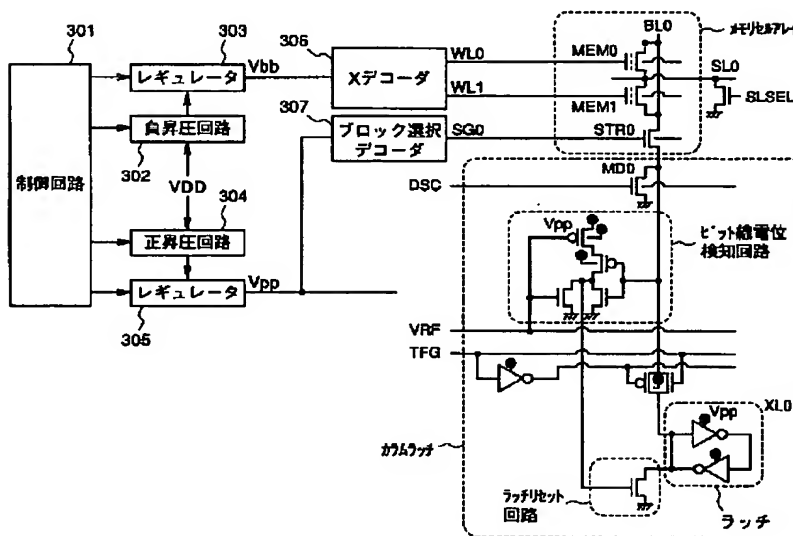
【図10】



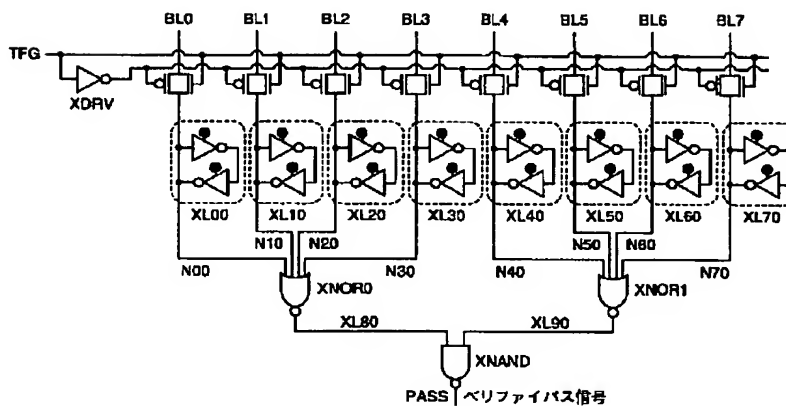
【図22】



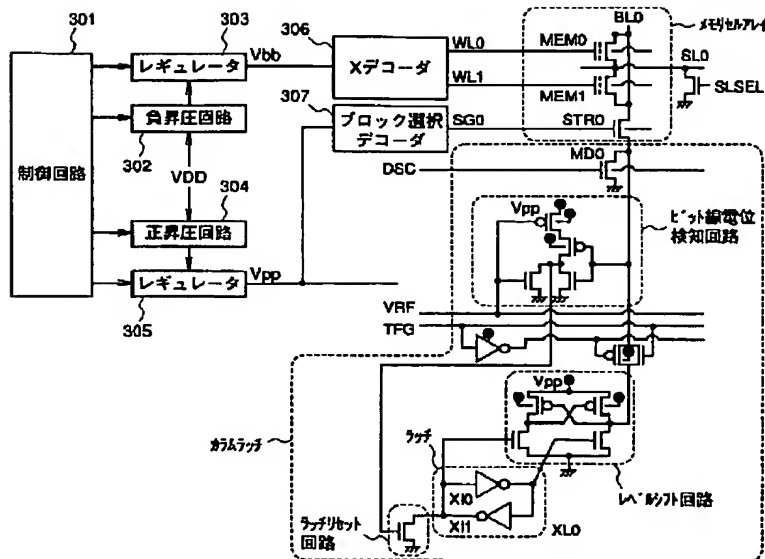
【図11】



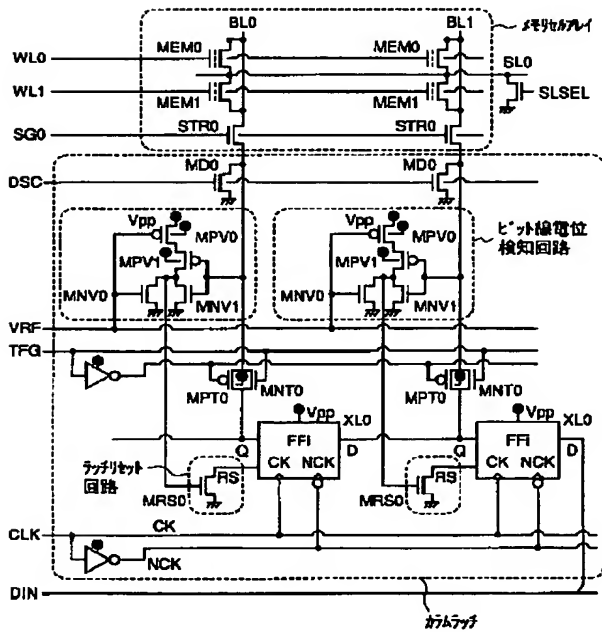
【図15】



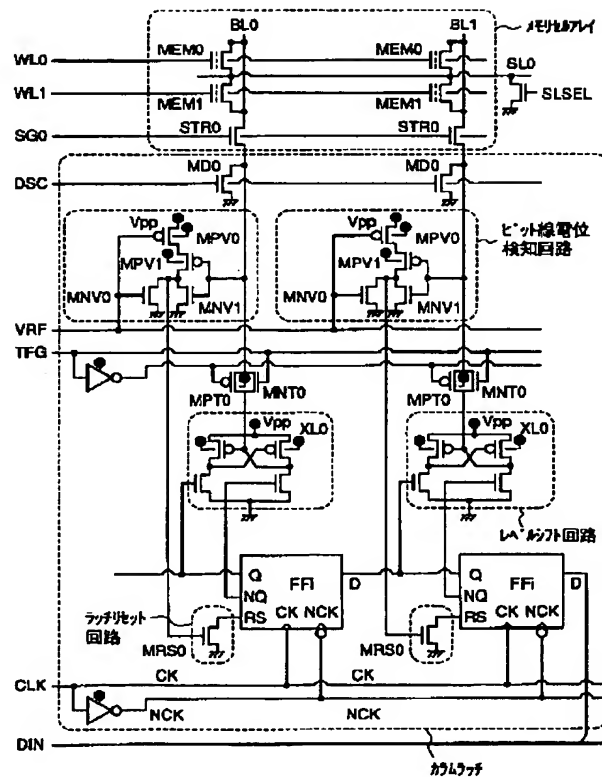
【図12】



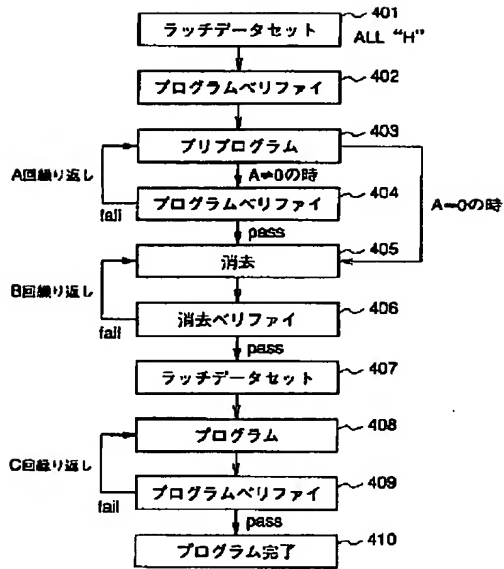
【図13】



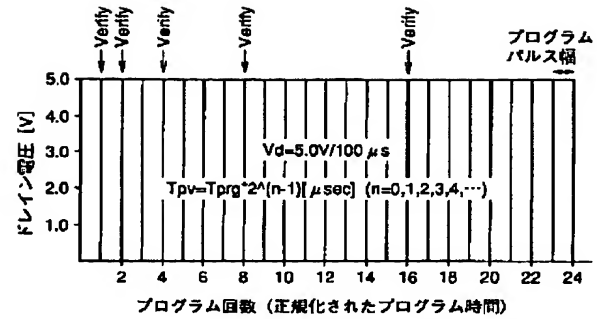
【図14】



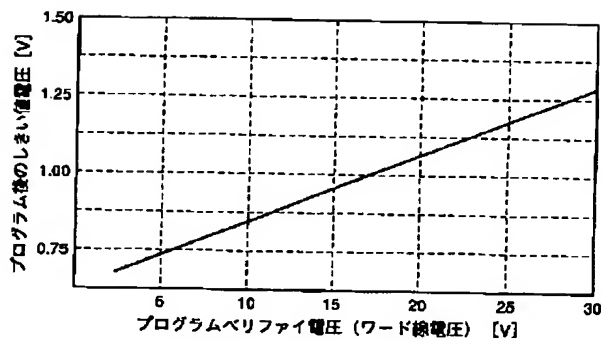
【図16】



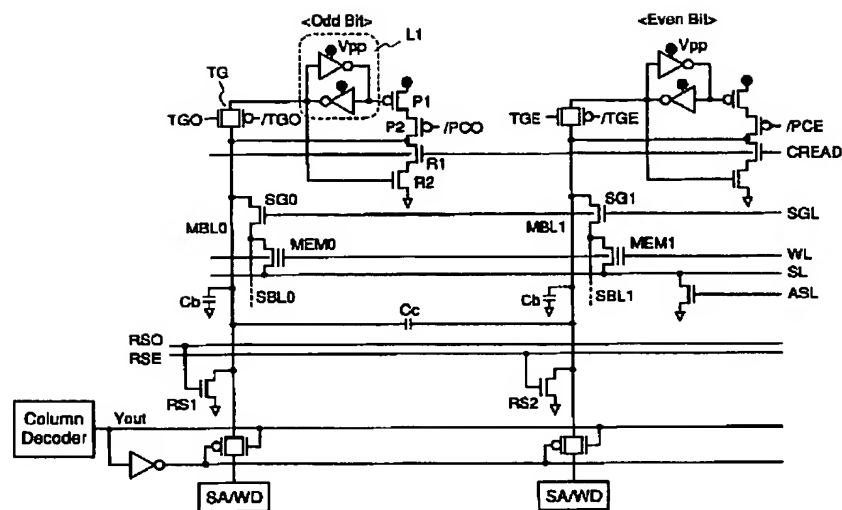
【図20】



【図21】



【図23】



フロントページの続き

(72)発明者 測上 郁雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 道山 淳児
大阪府門真市大字門真1006番地 松下電器
産業株式会社内